

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-243367

(43)Date of publication of application : 29.10.1986

(51)Int.Cl.

G01R 21/00

(21)Application number : 60-084184

(71)Applicant : YOKOGAWA ELECTRIC CORP

(22)Date of filing : 19.04.1985

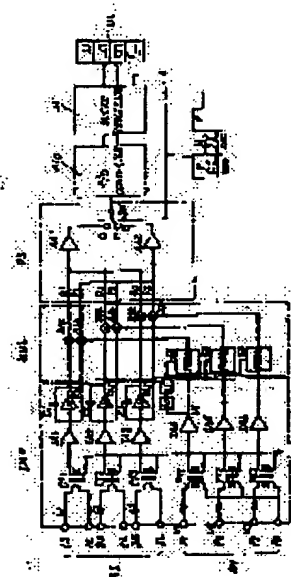
(72)Inventor : ABE EISUKE
HAYASHI EIJI

(54) MULTI-PHASE DIGITAL POWER-FACTOR MEASURING APPARATUS

(57)Abstract:

PURPOSE: To enable the measurement of true power-factor without requiring any linearizer or the like, by comparing the ratio between effective power and reactive power with a $\tan \theta$ of a trigonometric function table to judge the advance or delay.

CONSTITUTION: Alternating currents $i1W3$ fed to current transformers CT1WCT3 are supplied to switches S1aWS3b of a multiplication circuit MUL through preamplifiers IA1WIA3 and phase shifting circuits PS1WPS3 and AC voltage $v1Wv3$ from transformers PT1WPT2 done to pulse range modulation circuits PWM1WPWM3. Reactive powers $Q1WQ3$ and effective powers $P1WP3$ in respective phases are added with adders AA1 and AA2 and inputted into an A/D converter through a change-over switch SW. Then, the ratio between the reactive power Q and the effective power P is computed with a microprocessor μP , θ is compared with the numerals of $\tan \theta$ of a table sequentially from 0 to 90° and the numeral data of $\cos \theta$ at the θ as increased is shown on a display section DI together with the polarity judged from data Q .



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-243367

⑬ Int. Cl.⁴
G 01 R 21/00識別記号 庁内整理番号
A-7359-2G

⑭ 公開 昭和61年(1986)10月29日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 多相デジタル力率測定装置

⑯ 特 願 昭60-84184

⑰ 出 願 昭60(1985)4月19日

⑱ 発 明 者 阿 部 栄 介 武蔵野市中町2丁目9番32号 横河北辰電機株式会社内
 ⑲ 発 明 者 林 栄 二 武蔵野市中町2丁目9番32号 横河北辰電機株式会社内
 ⑳ 出 願 人 横河北辰電機株式会社 武蔵野市中町2丁目9番32号
 ㉑ 代 理 人 弁理士 小 沢 信 助

明 細 書

1 発明の名称

多相デジタル力率測定装置

2 特許請求の範囲

交流電流および移相回路を介して得られる各相の交流電流とパルス幅変調回路によってパルス幅変調された各相間の入力交流電圧とをそれぞれ乗算したものを加算して得た被測定交流回路の有効電力 P と無効電力 Q のデジタルデータが取り込まれ Q/P の演算を行なうマイクロプロセッサを備え、このマイクロプロセッサにおいて前記 Q/P の値とROMに予めメモリされた三角関数テーブルの $\tan \theta$ の値とを比較し、 Q/P の値が $\tan \theta$ の値より大きくなったときの $\cos \theta$ の値を前記テーブルより読み出して表示部で表示させるとともに、前記無効電力データ Q より進み、遅れを判別しその判

本発明は、進み、遅れの判別機能をもった電力比による多相用デジタル力率測定装置に関するものである。

(従来の技術)

進み、遅れ(LEAD, LAG)の判別機能を持った多相用電力比による力率の測定は有効電力 P および無効電力 Q から求めることができる。この種の力率測定装置として電圧電流計器を用い、計器電流 i_n を P と Q の正接($i_n = \tan \theta = P/Q$)に比例させ、目盛板によってそれを $\cos \theta$ に変換することにより進み、遅れの判別機能付の力率測定を可能にした周波数依存形のものが公知である。また、力率測定をデジタル計器で実現したものも公知であるが、デジタル計器では特殊なリニアライザを必要とする。また、デジタル計器では P と Q から直接力率($\cos \theta = P/(P+Q)$)を演算しても、進み、

特開昭61-243367 (2)

なりニアライザなどを必要とすることなく、速み、遅れの判別機能をもち測定誤差較減または歪波に直接関係なく其の力率を測定することのできる電力比による多相用のデジタル力率測定装置を完成したものである。

〔問題点を解決するための手段〕

本発明は上記の目的を達成する為、被測定交流回路の有効電力 P と無効電力 Q のデジタルデータが取り込まれ Q/P の演算を行なうマイクロプロセッサを備え、このマイクロプロセッサにおいて前記 Q/P の値とROMに予めメモリされた三角関数テーブルの $\sin\theta$ の値とを比較し、 Q/P の値が $\sin\theta$ の値より大きくなったときの $\sin\theta$ の値を前記テーブルより読み出して表示部で表示せるとともに、前記無効電力データ Q より速み、遅れを判別しその判別結果を前記表示部で表示せよう構成したものである。以下、実施例について説明する。

〔実施例〕

図1図は本発明装置の一実施例の回路図である。

がそれぞれ与えられようになっている。スイッチ $S1a, S1b$ はそれぞれパルス幅変調回路 $PWM1$ の出力によりON, OFFされる。スイッチ $S1a$ がパルス幅変調回路 $PWM1$ の出力でON, OFFされることにより入力電圧 $v1$ と90度位相された入力電流 $i1$ とが乗算され、スイッチ $S1a$ の出力側には第1相の無効電力に対応した信号 $Q1$ が取り出される。また、スイッチ $S1b$ がパルス幅変調回路 $PWM1$ の出力によってON, OFFされることにより、入力電流 $i1$ と入力電圧 $v1$ とが乗算され、スイッチ $S1b$ の出力側には第1相の有効電力に対応した信号 $P1$ が取り出される。同様に、スイッチ $S2a, S2b, S3a, S3b$ をパルス幅変調回路 $PWM2, PWM3$ の出力によってON, OFFさせることにより、各スイッチの出力側には第2相、第3相の無効電力、有効電力に対応した信号 $Q2, P2, Q3, P3$ がそれぞれ生じる。FDは周波数分周回路、回路 $F1$ は逆放

図において、 AI は交流電流入力端子、 AV は同じく電圧入力端子で、ここでは3相3線式の電力回路について例示してある。 INP は入力回路、 MUL は乗算回路、 PS は加算手段を含む切替回路である。

入力回路 INP において、 $CT1-CT3$ は変流器、 $PT1-PT3$ は変圧器、 $IA1-IA3$ は前置増幅器、 $PS1-PS3$ は移相回路である。変流器 $CT1-CT3$ に供給される入力交流電流 $i1-i3$ は前置増幅器 $IA1-IA3$ を介して移相回路 $PS1-PS3$ に与えられる。移相回路 $PS1-PS3$ はそれぞれ演算増幅器 $A1-A3$ とコンデンサ $C1-C3$ よりなる複分形のもので、入力電流 $i1-i3$ はこの移相回路 $PS1-PS3$ を経ることによりそれぞれその位相が90度シフトされる。

MUL は乗算回路で、パルス幅変調回路 $PWM1-PWM3$ とアナログスイッチ $S1a, S1b-S3a, S3b$ よりなるもので、スイッチ $S1a$ は前記移相回路 $PS1$ の出力が与えられ、スイッチ $S1b$ には前置増幅器 $IA1$ の出力が直接与えられるようになっている。同様に、スイッチ $S2a, S3a$ には移相回路 $PS2, PS3$ の出力が、スイッチ $S2b, S3b$ には前置増幅器 $IA2, IA3$ の出力

スイッチ $S1a-S3a$ より取り出された各相の無効電力信号 $Q1-Q3$ を加算し、その出力端にトータルの無効電力に対応した信号 Q を出力する。加算器 $AA2$ は前記したスイッチ $S1b-S3b$ より取り出された各相の有効電力信号 $P1-P3$ を加算し、その出力端にトータルの有効電力に対応した信号 P を出力する。実施例では Q は $-4V-0\sim+4V$, P は $0-4V$ となっている。これらの無効電力および有効電力に対応した信号 Q, P は切替スイッチ SY の端子1, 2に与えられる。

A/D はアナログ・デジタル変換器(以下 A/D 変換器という)、 μP はマイクロプロセッサ、 DI は表示部である。マイクロプロセッサ μP はRAMおよびROMよりなる記憶回路を有し、そのROMには第2図で示す三角関数表がテーブルとして予めメモリされている。このテーブルは $\sin\theta$ の数値は三角関数表の1.000の値として

特開昭61-243367 (3)

(c) 例外として、 $\cos \theta$ の $\theta = 0.0$ 度 ~ 3.0 度の範囲では $\cos \theta = 1.0000$ としてある。

前記した切換スイッチ 34 はマイクロプロセッサ μP の出力によって所定の時間間隔を置いて交互に切り換えられる。切換スイッチ 34 が端子 1 に接続されているとき A/D 変換器は無効電力 Q をデジタル信号に変換し、端子 2 に接続されているとき有効電力 P をデジタル信号に変換する。マイクロプロセッサ μP は A/D 変換器が出力するデジタル・データ Q と P を RAM に取り込み、下式 (1) に示す計算を行なう。

$$(Q/P) \times 1,000 = T \quad \dots\dots (1)$$

マイクロプロセッサ μP は (1) 式によって求めた数値 T を第 2 図のテーブルの $\cos \theta$ の数値と θ が 0.0 度から 90.0 度にかけて順次その大きさを比較する。そして、数値 T が初めて $\cos \theta$ の数値を超えて大きくなったときの θ における $\cos \theta$ の数値データを表示部 11 に送出する。

一方、電圧入力 V の位相に対して電流入力 I の位相の進み、遅れに対して無効電力 Q はプラスの

極性またはマイナスの極性を取り得る。したがって、第 1 式の T は進み、遅れに従って “+” または “-” の極性となる。マイクロプロセッサ μP は数値 T がプラスかマイナスを判断し、プラスのときは記号 “+” を $\cos \theta$ の数値の前に付すべくそのデータを表示部 11 に送出する。またマイナスのときは記号 “-” を $\cos \theta$ の数値の前に付すべくそのデータを表示部 11 に送出する。その結果、例えば $T = -82$ のとき、表示部 11 はこれを “-0.995” と表示する。

なお、上述の実施例では 3 相 4 線式の場合について説明したが、3 相 3 線式あるいは単相であってもよい。なおまた、移相回路 PS1~PS3 を電流側に設けた場合について説明したが、電圧側に設けるようにしてもよい。

〔発明の効果〕

以上説明した如く、本発明によればマイクロプロセッサ μP を用いることにより進み、遅れの判別処理をもち、歪波に關係なく真の力率を測定することのできる電力比による多相用のデジタル

多相デジタル力率測定装置を得ることができる。

本発明装置に用いられるパルス幅変調回路 PWM1~PWM2 は特に限定するものではないが、第 1 図に用いられるパルス幅変調回路 PWM1 (=PWM2, PWM3) の回路図を第 3 図に示し、以下これを説明する。

第 3 図において、R1 は PWM1 回路の入力抵抗器、A1 は演算増幅器、C1 は積分用のコンデンサで、R1 と A1 および C1 により積分器 1G が構成されている。COM は抵抗器 R2 と R3 およびインバータ U1, U2 よりなる比較器である。なお、インバータ U1, U2 としては例えば CMOS で構成したナンドゲートのような高入力インピーダンスをもつ論理素子であればよく、また U1, U2 の 2 つを用いたが、これは極性合せの爲で、1 個であってもよい。積分器 1G の出力端は抵抗器 R2 を介してインバータ U1, U2 の直列回路に接続されている。インバータ U2 の出力端は

より、抵抗器 R2, R3 とインバータ U1, U2 とによってヒステリシスをもつ比較器 COM が構成される。また、インバータ U2 の出力端が抵抗器 R4 を介して積分器 1G の入力端に接続されることにより、三角波のパルス幅変調回路が構成される。+E は基準の電圧で、この電圧はインバータ U1, U2 の電源端に加えられ、また反性反転回路 4V に加えられて極性反転されて -E となり、その -E は抵抗器 R5 を介して積分器 1G の入力端に加えられている。以後の説明において、電圧 -E によって抵抗器 R5 を流れる電流を -I とする。インバータ U1, U2 の他の電流端は共通電位点に接続されている。

ここで、積分器 1G の出力端、比較器 COM を構成するインバータ U1 の入力端、U2 の出力端の電位をそれぞれ $e1$, $e2$, $e3$ とすると、 $e1$, $e2$, $e3$ の各波形は第 4 図の (1), (2), (3) の如くなる。 $e3$ は (4) で示され

特開昭61-243367 (4)

分器1Gは入力電圧 v_i による電流 $-I_v$ と電圧 $+E_s$ による電流 $+2I_s$ および電圧 $-E_s$ による電流 $-I_s$ とを加算積分する。正常な動作状態において過渡期にならないように $|I_v| < |I_s|$ に選ばれているので、比較器COMが電圧 $+E_s$ を出力している期間、積分器1Gは $(-I_v)$ と $(+I_s)$ とを加算し、その積分出力 e_1 は第4図(1)のT1で示す如く一定の傾斜で減少する。そして、このT1の期間、電圧 e_2 は抵抗器R2とR3で定まる傾斜で第4図(2)で示される如く下向き、その電圧がインバータU1のスレッショールド電圧 V_s に達するとインバータU2の入出力電圧 e_2 のレベルが“0”となる。インバータU2の出力電圧 e_2 、即ち電圧 $+E_s$ が0Vになると積分器1Gは $-(I_v+I_s)$ の電流を加算積分する。その結果、積分器1Gの出力電圧 e_1 は第4図(1)のT2期間で示す如くT1期間より急激な傾斜で上昇する。積分器1Gの出力電圧 e_1 が正の方向に向い始めると電圧 e_2 も上昇し、その値が V_s に達すると e_2 は急激に上昇する。このような第4図(2)に示す波形の電圧 e_2 がインバータU1に加えられるので、インバータU2の出力端の電圧 e_3

は第4図の(3)で示される如く $+E_s$ の電圧となる。このように、積分器1GにはT1期間電圧 V_i と電圧 $+E_s$ および $-E_s$ の加算値に対応した電流の和が与えられ、T2の期間電圧 V_i と電圧 $-E_s$ に対応した電流の和が与えられる。即ち、積分器1Gはそれらに与えられる電圧の和が零になるように駆動される。よって、パルス幅変調回路PWM1の系が平衡している状態では下式(4)が成立する。

$$((V_i + E_s) \cdot T_1 / (T_1 + T_2)) + (V_i - E_s) \cdot T_2 / (T_1 + T_2) = 0 \quad \dots (4)$$

式(4)において、 $(T_1 + T_2) = T$

式より第3図回路のパルス幅変調信号の変調度 M は

$$M < V_i \{ (T_2 + T_2) / (T_1 + T_2) \} \cdot 1 / E_s \quad \dots (5)$$

となる。

この種のパルス幅変調回路は例えば特公昭44-14602号に示される如く公知である。しかし、第3図の如く比較器にヒステリシスを持たないものを用いた場合、上記の特許公報で示されるように基準電圧 $-E_s$ 、 $+E_s$ を別個に必要とする。また、第3

図の回路においては比較器COMの出力を積分器1Gに所通しているが、これをしない場合には上記の特許公報で示されるように系の周波数を決めるためのクロック・パルスを生じさせる発振器を必要とする。

ところで、第1図の装置においては無効電力 Q を得るために入力電流 i の位相を90度シフトさせるようにしている。このシフト用にコンデンサ C を用いているが、コンデンサ C のインピーダンスは被測定交流回路の周波数 f に逆比例する。その結果、この種の装置においてはユーザでは使用周波数を指定し、メーカーではその指定周波数に見合ったものを製造しなければならず煩わしく、かつ高価になる欠点があった。本発明においてはパルス幅変調回路PWM1(PWM2, PWM3)の基準電圧 E_s を利用することによって、移相用コンデンサによる周波数誤差を補償するようにしている。即ち、

うに電流 i と電圧 V_i とが乗算される。したがって、電圧 $+E_s$ が周波数 f に逆比例するものを用いれば、移相用コンデンサ C による周波数 f の項が第(6)式で示される如く消去され、変調度 M は周波数 f に依存しなくなる。

$$((k \cdot i \cdot 1/f) \cdot V_i) / (E_s \cdot 1/f) = k \cdot i \cdot V_i / E_s \quad \dots (6)$$

(6)式において、 k は定数

入力交流回路の周波数 f の逆数を得る回路として第1図の装置においては回路FDとFIを設けてある。回路FDは周波数抽出回路、回路FIは逆数回路である。周波数抽出回路FDの入力端は前置増幅器1A4の出力端に接続され、FDの出力端は逆数回路FIを介して電圧 E_s としてパルス幅変調回路PWM1の電圧端に加えられている。逆数回路FIの出力はパルス幅変調回路PWM2, PWM3の電圧端としてもそれぞれ加

特開昭61-243367 (6)

第 2 図

θ 度	$\tan \theta$	$\cos \theta$
0.0	0	1.000
2	3	
4	6	
6	10	
8	13	
1.0	17	
2	20	
4	24	
6	27	
8	31	
2.0	34	
2	38	
4	41	
6	45	
8	48	
3.0	52	0.998
2	55	
4	59	
6	62	
8	66	
4.0	69	0.997
2	73	
4	76	
6	80	0.996
8	83	
5.0	87	
...
89.4	95490	0.010
89.6	143240	0.006
89.8	286500	0.003
90.0	∞	0.000